

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES  
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum  
Internationales Büro



PCT

(43) Internationales Veröffentlichungsdatum  
21. April 2005 (21.04.2005)

(10) Internationale Veröffentlichungsnummer  
**WO 2005/036689 A3**

(51) Internationale Patentklassifikation<sup>7</sup>: HOIM 10/40,  
10/04, 2/36, 6/40, 10/46

(21) Internationales Aktenzeichen: PCT/EP2004/0 11058

(22) Internationales Anmeldedatum:  
4. Oktober 2004 (04.10.2004)

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:  
103 46 310.0 6. Oktober 2003 (06.10.2003) DE

(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von US): FRAUNHOFER-GESELLSCHAFT  
ZUR FÖRDERUNG DER ANGEWANDTEN

FORSCHUNG E.V. [DE/DE]; Hansastrasse 27c, 80686 München (DE).

(72) Erfinder; und

(75) Erfinder/Anmelder (nur für US): HAHN, Robert [DE/DE]; Guellweg 10c, 13355 Berlin (DE).

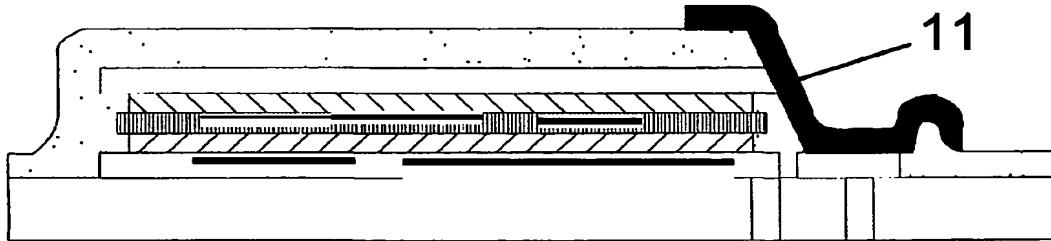
(74) Anwälte: LEONHARD OLGEMOELLER FRICKE usw.; Postfach 10 09 62, 80083 Muenchen (DE).

(81) Bestimmungsstaaten (soweit nicht anders angegeben, für jede verfügbare nationale Schutzrechtsart): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM,

[Fortsetzung auf der nächsten Seite]

(54) Title: BATTERY, ESPECIALLY A MICROBATTERY, AND THE PRODUCTION THEREOF USING WAFER-LEVEL TECHNOLOGY

(54) Bezeichnung: BATTERIE, INSbesondere MIKROBATTERIE, UND DEREN HERSTELLUNG MIT HILFE VON WAFER-LEVEL-TECHNOLOGIE



**A3**  
**WO 2005/036689**

(57) Abstract: The invention relates to a battery comprising an electrically non-conductive Substrate (1) on which it is arranged, in addition to at least one cathode (4), one anode (6), and a separator/electrolyte layer (5) in the form of layers or films that are pre-formed from an electrochemically active or activatable material and optionally a polymer matrix and/or other auxiliary substances, in a corresponding sequence on the Substrate (1). The layer thickness of each electrode layer is 10 µm. The inventive battery also comprises at least one current diverter (7) and at least one battery contact (2, 2a, 2b) that are respectively in electrical contact with an electrode. Said battery is characterised in that it comprises at least one first covering layer (8, 16, 17, 21) consisting of a first, electrically insulating material that is stable in relation to the used electrolyte and electrode material and has been deposited from the gas phase or in the form of a liquid or viscous paste. Said covering layer forms an encapsulation element with the Substrate and optionally at least one other component, by which means the battery is sealed from the surrounding environment, and is provided with at least one recess (11, 18, 19) that is closed by an electroconductive material and is connected to at least one current diverter (7) of the battery. The invention also relates to a plurality of such batteries on the same Substrate, and to methods for producing the cited batteries using wafer-level techniques.

(57) Zusammenfassung: Die Erfindung betrifft eine Batterie mit einem elektrisch nicht leitenden Substrat (1), auf dem sie angeordnet ist, umfassend weiterhin mindestens eine Kathode (4), eine Anode (6), und eine Separator-/ Elektrolytschicht (5), die sich in Form aus elektrochemisch aktivem bzw. aktivierbarem Material und ggf. einer Polymermatrix und/oder weiteren Hilfsstoffen vorgeformten Schichten oder Folien in entsprechender Reihenfolge auf dem Substrat (1) befinden, wobei die Schichtdicke jeder Elektrodenschicht 10 µm ist, mindestens

[Fortsetzung auf der nächsten Seite]



TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM,  
ZW

(84) **Bestimmungsstaaten** (soweit nicht anders angegeben, für jede verfügbare regionale Schutzrechtsart): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), eurasisches (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), europäisches (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG)

**Erklärungen gemäß Regel 4.17:**

- hinsichtlich der Berechtigung des Anmelders, die Priorität einer früheren Anmeldung zu beanspruchen (Regel 4 17 Ziffer in) für alle Bestimmungsstaaten

— *Erfindererklärung (Regel 4 17 Ziffer iv) nur für US*

**Veröffentlicht:**

- mit internationalem Recherchenbericht
- vor Ablauf der für Änderungen der Ansprüche geltenden Frist, Veröffentlichung wird wiederholt, falls Änderungen eintreffen

(88) **Veröffentlichungsdatum des internationalen Recherchenberichts:**

9 März 2006

Zur Erklärung der Zweibuchstaben Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT Gazette verwiesen

---

einen Stromabieiter (7) und mindestens einen Batteriekontakt (2, 2a, 2b), die jeweils in elektrischem Kontakt mit einer Elektrode stehen, wobei die Batterie dadurch gekennzeichnet ist, dass sie mindestens eine erste Abdeckschicht (8, 16, 17, 21) aus einem ersten, gegenüber dem verwendeten Elektrolyt- und Elektrodenmaterial beständigen, elektrisch isolierenden Material, das aus der Gasphase oder in Form einer Flüssigkeit oder viskosen Paste aufgebracht wurde, aufweist, die zusammen mit dem Substrat und ggf. (einer) weiteren Komponente(n) eine Verkapselung bildet, durch die die Batterie gegenüber der Außenwelt abgedichtet ist und die mindestens eine mit einem elektrisch leitenden Material verschlossene Ausnehmung (11, 18, 19) besitzt, die mit mindestens einem Stromabieiter (7) der Batterie in Verbindung stehen. Die Erfindung betrifft des Weiteren eine Mehrzahl solcher Batterien auf demselben Substrat sowie Verfahren zur Herstellung der genannten Batterien mit Hilfe von Wafer-Level-Techniken.